

PLL的电源管理设计

作者：Austin Harney和Grzegorz Wawrzola

摘要

锁相环(PLL)是现代通信系统的基本构建模块。PLL通常用在无线电接收机或发射机中，主要提供“本振”(LO)功能；也可用于时钟信号分配和降噪，而且越来越多地用作高采样速率模数或数模转换的时钟源。

由于每一代PLL的噪声性能都在改善，因此电源噪声的影响变得越来越明显，某些情况下甚至可限制噪声性能。

本文讨论图1所示的基本PLL方案，并考察每个构建模块的电源管理要求。

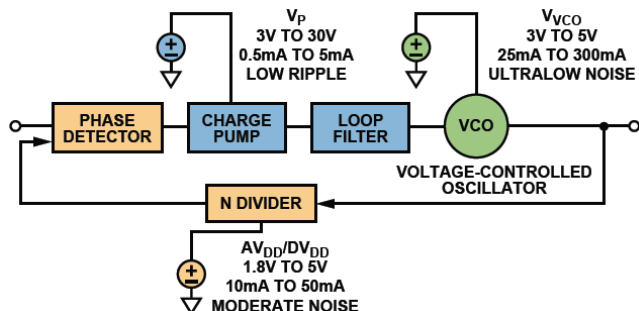


图1. 显示各种电源管理要求的基本锁相环

PLL中，反馈控制环路驱动电压控制振荡器(VCO)，使振荡器频率（或相位）精确跟踪所施加基准频率的倍数。许多优秀的参考文献（例如Best的**锁相环**¹）解释了PLL的数学分析；ADI的ADIsimPLL™等仿真工具则对了解环路传递函数和计算很有帮助。下面让我们依次考察一下PLL构建模块。

VCO和VCO推压

电压控制振荡器将来自鉴相器的误差电压转换成输出频率。器件“增益”定义为 K_{VCO} ，通常以MHz/V表示。电压控制可变电容二极管（变容二极管）常用于调节VCO内的频率。VCO的增益通常足以提供充分的频率覆盖范围，但仍不足以降低相位噪声，因为任何变容二极管噪声都会被放大 K_{VCO} 倍，进而增加输出相位噪声。

多频段集成VCO的出现，例如用于频率合成器ADF4350的集成VCO，可避免在 K_{VCO} 与频率覆盖范围间进行取舍，使PLL设计人员可以使用包含数个中等增益VCO的IC以及智能频段切换程序，根据已编程的输出频率选择适当的频段。这种频段分割提供了宽广的总体范围和较低噪声。

除了需要从输入电压变化转换至输出频率变化(K_{VCO})外，电源波动也会给输出频率变化带来干扰成分。VCO对电源波动的灵敏度定义为VCO推压($K_{pushing}$)，通常是所需 K_{VCO} 的一小部分。例如， $K_{pushing}$ 通常是 K_{VCO} 的5%至20%。因此，对于高增益VCO，推压效应增大，VCO电源的噪声贡献就更加举足轻重。

VCO推压的测量方法如下：向VTUNE引脚施加直流调谐电压，改变电源电压并测量频率变化。推压系数是频率变化与电压变化之比，如表1所示，使用的是ADF4350 PLL。

表1. ADF4350 VCO推压测量

VCO 频段 (MHz)	V_{tune} (V)	$V_{VCO} = 3$ V时的 f_1 (MHz)	$V_{VCO} = 3.3$ V时的 f_2 (MHz)	$K_{pushing} = \Delta f / \Delta V$ (MHz/V)
2200	2.5	2233.446	2233.061	1.28
3300	2.5	3331.112	3331.799	2.3
4400	2.5	4462.577	4464.242	5.55

参考文献2中提到了另一种方法：将低频方波直流耦合至电源内，同时观察VCO频谱任一侧上的频移键控(FSK)调制峰值（图2）。峰值间频率偏差除以方波幅度，便得出VCO推压系数。该测量方法比静态直流测试更精确，因为消除了与直流输入电压变化相关的任何热效应。图2显示ADF4350 VCO输出在3.3 GHz、对称称3.3 V电源施加10 kHz、0.6 V p-p方波时的频谱分析仪曲线图。对于1.62 MHz/0.6 V或2.7 MHz/V的推压系数，最终偏差为3326.51 MHz – 3324.89 MHz = 1.62 MHz。该结果可与表1中的静态测量值2.3 MHz/V比较。

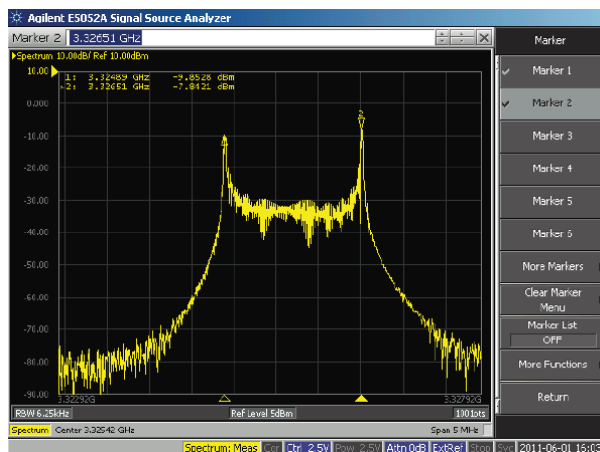


图2. ADF4350 VCO通过10 kHz、0.6 V p-p方波响应电源调制的频谱分析仪曲线图

在PLL系统中，较高的VCO推压意味着VCO电源噪声的增加倍数更大。为尽可能降低对VCO相位噪声的影响，需要低噪声电源。

参考文献3和参考文献4提供了不同低压差调节器(LDO)如何影响PLL相位噪声的示例。例如，文献中对ADP3334和ADP150 LDO为ADF4350供电时的性能进行了比较。ADP3334调节器的集成均方根噪声为27 μ V（40多年来，从10 Hz至100 kHz）。该结果可与ADF4350评估板上使用的LDO ADP150的9 μ V比较。图3中可以看出已测量PLL相位噪声频谱密度的差异。测量使用4.4 GHz VCO频率进行，其中VCO推压为最大值（表1），因此属于最差情况结果。ADP150调节器噪声足够低，因此对VCO噪声的贡献可以忽略不计，使用两节（假定“无噪声”）AA电池重复测量可确认这一点。

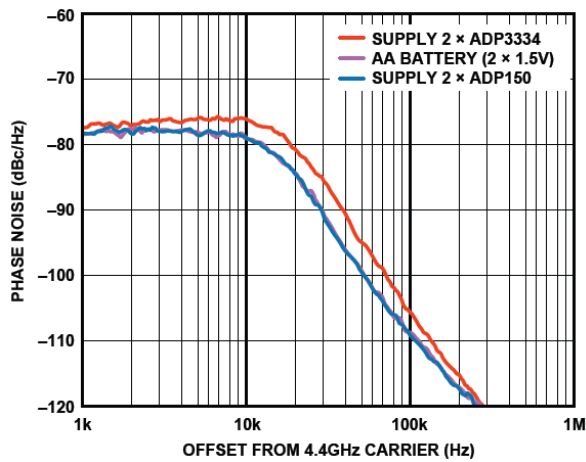


图3. 使用ADP3334和ADP150 LDO对(AA电池)供电时, ADF4350在4.4 GHz下的相位噪声比较

图3强调了低噪声电源对于ADF4350的重要性,但对电源或LDO的噪声该如何要求呢?

与VCO噪声类似, LDO的相位噪声贡献可以看成加性成分 $\Phi_{LDO}(t)$,如图4所示。再次使用VCO超额相位表达式得到:

$$\Phi_{LDO}(t) = K_{pushing} \int V_{LDO}(t) dt$$

或者在频域中为:

$$\Phi_{LDO}(f) = \frac{K_{pushing} v_{LDO}(f)}{f}$$

其中 $v_{LDO}(f)$ 是LDO的电压噪声频谱密度。

1 Hz带宽内的单边带电源频谱密度 $S\Phi(f)$ 由下式得出:

$$S\Phi(f) = \Phi_{LDO}^2(f)/2$$

以dB表示时,用于计算电源噪声引起的相位噪声贡献的公式如下:

$$\begin{aligned} L_{LDO} &= 10 \log \left[\frac{(K_{pushing} \times v_{LDO}(f))^2}{2 \times f^2} \right] \\ L_{(LDO)} &= 20 \log \left[\frac{K_{pushing} \times v_{LDO}(f)}{\sqrt{2} \times f} \right] \end{aligned} \quad (1)$$

其中 $L_{(LDO)}$ 是失调为 f 时,调节器对VCO相位噪声(以dBc/Hz表示)的噪声贡献; $K_{pushing}$ 是VCO推压系数,以Hz/V表示; $v_{LDO}(f)$ 是给定频率偏移下的噪声频谱密度,以V/ $\sqrt{\text{Hz}}$ 表示。

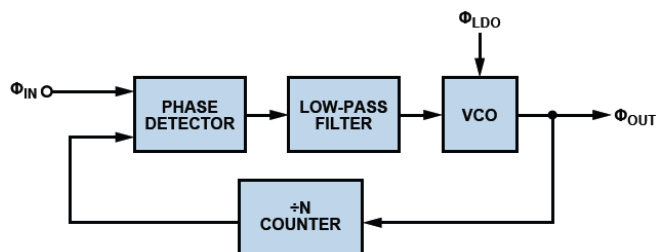


图4. 小信号加性VCO电源噪声模型

在自由模式VCO中,总噪声为 L_{LDO} 的方和根(rss)值加VCO噪声。以dB表示则为:

$$L_{TOTAL} = 10 \log \left[\log^{-1} \left(\frac{L_{LDO}}{10} \right) + \log^{-1} \left(\frac{L_{VCO}}{10} \right) \right]$$

例如,试考虑推压系数为10 MHz/V、在100 kHz偏移下测得相位噪声为-116 dBc/Hz的VCO:要在100 kHz下不降低VCO噪声性能,所需的电源噪声频谱密度是多少?电源噪声和VCO噪声作为方和根添加,因此电源噪声应比VCO噪声至少低6 dB,以便将噪声贡献降至最低。所以 L_{LDO} 应小于-122 dBc/Hz。使用公式1,

$$\log^{-1} \left(-\frac{122}{20} \right) = \frac{10 \text{ MHz/V} \times v_{LDO}(f)}{\sqrt{2} \times 100 \text{ kHz}}$$

求解 $v_{LDO}(f)$,

$$\text{在 } 100 \text{ kHz 偏移下, } v_{LDO}(f) = 11.2 \text{ nV}/\sqrt{\text{Hz}}.$$

给定偏移下的LDO噪声频谱密度通常可通过LDO数据手册的典型性能曲线读取。

当VCO连接在负反馈PLL内时,LDO噪声以类似于VCO噪声的方式通过PLL环路滤波器进行高通滤波。因此,上述公式仅适用于大于PLL环路带宽的频率偏移。在PLL环路带宽内,PLL可成功跟踪并滤除LDO噪声,从而降低其噪声贡献。

LDO滤波

要改善LDO噪声,通常有两种选择:使用具有更少噪声的LDO,或者对LDO输出进行后置滤波。当无滤波器的噪声要求超过经济型LDO的能力时,滤波选项可能是不错的选择。简单的LC π 滤波器通常足以将带外LDO噪声降低20 dB(图5)。



图5. 用于衰减LDO噪声的LC π 滤波器

选择器件时需要非常小心。典型电感为微亨利范围内(使用铁氧体磁芯),因此需要考虑电感数据手册中指定的饱和电流(I_{SAT}),作为电感下降10%时的直流电平。VCO消耗的电流应小于 I_{SAT} 。有效串联电阻(ESR)也是一个问题,因为它会造成滤波器两端的IR压降。对于消耗300 mA直流电流的微波VCO,需要ESR小于0.33 Ω 的电感,以产生小于100 mV的IR压降。较低的非零ESR还可抑制滤波器响应并改善LDO稳定性。为此,选择具有极低寄生ESR的电容并添加专用串联电阻可能较为实际。上述方案可使用可下载的器件评估器(如NI Multisim™)在SPICE中轻松实现仿真。

电荷泵和滤波器

电荷泵将鉴相器误差电压转换为电流脉冲,并通过PLL环路滤波器进行积分和平滑处理。电荷泵通常可在最多低于其电源电压(V_P) 0.5 V的电压下工作。例如,如果最大电荷泵电源为5.5 V,那么电荷泵只能在最高5 V输出电压下工作。如果VCO需要更

高的调谐电压，则通常需要有源滤波器。有关实际PLL的有用信息和参考设计，请参见[电路笔记CN-0174](#)⁵，处理高压的方式请参见“[利用高压VCO设计高性能锁相环](#)”⁶，该文章发表于《模拟对话》第43卷第4期(2009)。有源滤波器的替代方案是使用PLL和针对更高电压设计的电荷泵，例如ADF4150HV。ADF4150HV可使用高达30 V的电荷泵电压工作，从而在许多情况中省去了有源滤波器。

电荷泵的低功耗使其看似颇具吸引力，可使用升压转换器从较低电源电压产生高电荷泵电压，然而与此类DC-DC转换器相关的开关频率纹波可能在VCO的输出端产生干扰杂散音。高PLL杂散可能造成发射机发射屏蔽测试失败，或者降低接收机系统内的灵敏度和带外阻塞性能。为帮助指导转换器纹波的规格，使用图6的测量设置针对各种PLL环路带宽获得全面电源抑制曲线图与频率的关系。

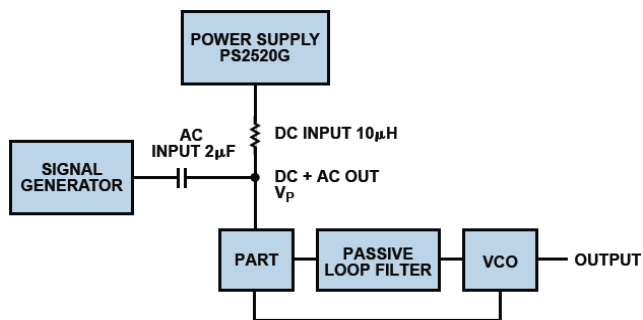


图6. 测量电荷泵电源抑制的设置

17.4 mV (-22 dBm)的纹波信号经交流耦合至电源电压，并在频率范围内进行扫描。在每一频率下测量杂散水平，并根据-22 dBm输入与杂散输出电平间的差异（以dB表示）计算PSR。留在适当位置的0.1 μF和1 nF电荷泵电源去耦电容为耦合信号提供一定衰减，因此发生器处的信号电平增加，直至在各频率点下引脚上直接测得17.4 mV。结果如图7所示。

在PLL环路带宽内，随着频率增加，电源抑制最初变差。随着频率接近PLL环路带宽，纹波频率以类似于基准噪声的方式衰减，PSR改善。该曲线图显示，需要具有较高开关频率（理想情况下大于1 MHz）的升压转换器，以便尽可能降低开关杂散。另外，PLL环路带宽应尽可能降至最低。

开关速度为1.3 MHz时，ADP1613就是一款合适的升压转换器。如果将PLL环路带宽设置为10 kHz，PSR可能达到大约90 dB；环路带宽为80 kHz时，PSR为50 dB。首先解决PLL杂散水平要求后，可以回头决定升压转换器输出所需的纹波电平。例如，如果PLL需要小于-80 dBm的杂散，且PSR为50 dB，则电荷泵电源输入端的纹波功率需小于-30 dBm，即20 mV p-p。如果在电荷泵电源引脚附近放置足够的去耦电容，上述水平的纹波电压可使用纹波滤波器轻松实现。例如，100 nF去耦电容在1.3 MHz时可提供20 dB以上的纹波衰减。应小心使用具有适当电

压额定值的电容；例如，如果升压转换器产生18 V电源，应使用具有20 V或更高额定值的电容。

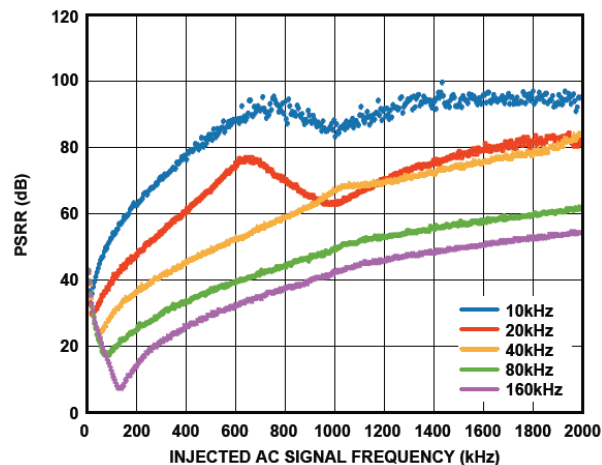


图7. ADF4150HV电荷泵电源抑制曲线图

使用[基于Excel的设计工具ADP161x](#)可以简化升压转换器和纹波滤波器的设计。图8显示用于5 V输入至20 V输出设计的用户输入。为将转换器级输出端的电压纹波降至最低，该设计选择噪声滤波器选项，并将V_{OUT}纹波场设定为最小值。高压电荷泵的功耗为2 mA（最大值），因此I_{OUT}为10 mA以提供裕量。该设计使用20 kHz的PLL环路带宽，通过[ADF4150HV评估板](#)进行测试。根据图7，可能获得约70 dB的PSR。由于PSR极佳，此设置未在VCO输出端呈现明显的开关杂散(<-110 dBm)，即使是在省去噪声滤波器时。

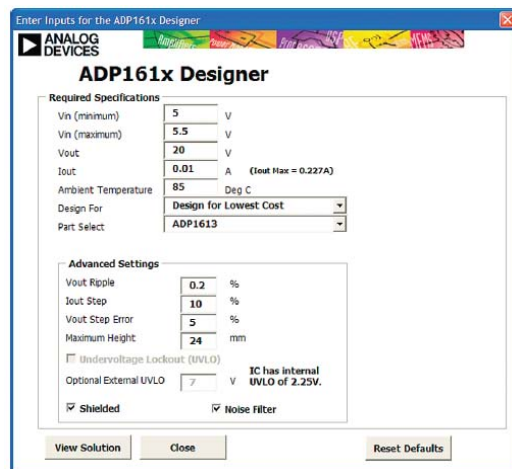


图8. ADP1613升压转换器Excel设计工具

作为最终实验，将高压电荷泵的PSR与有源滤波器（目前用于产生高VCO调谐电压的最常见拓扑结构）进行比较。为执行测量，使用无源环路滤波器将幅度为1 V p-p的交流信号注入ADF4150HV的电荷泵电源(V_P)，与图6的测量设置相同。然后以有源滤波器代替相等带宽的无源滤波器，重复相同的测量。所用的有源滤波器为CPA_PPFFBP1型，如ADIsimPLL所述（图9）。

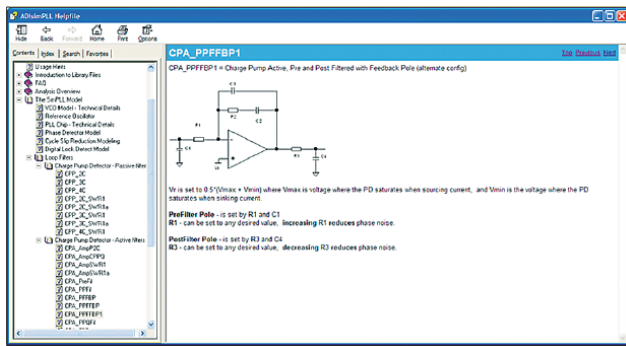


图9. ADIsimPLL中CPA_PPFFBP1滤波器设计的屏幕视图

为提供公平的比较, 电荷泵和运算放大器电源引脚上的去耦相同, 即10 μ F、10 nF和10 pF电容并联。测量结果显示于图10中: 与有源滤波器相比, 高压电荷泵的开关杂散水平降低了40 dB至45 dB。利用高压电荷泵改善的杂散水平部分可解释为通过有源滤波器看到的环路滤波器衰减更小, 其中注入的纹波在第一极点之后, 而在无源滤波器中注入的纹波位于输入端。

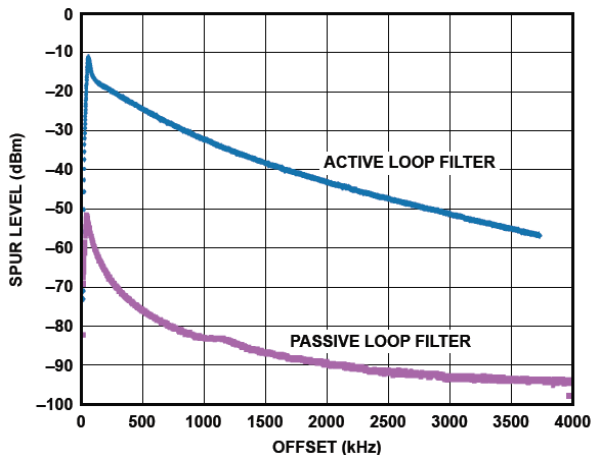


图10. 有源环路滤波器与高压无源滤波器的电源纹波电平

最后一点: 图1所示的第三电源电轨 (分压器电源, AV_{DD}/DV_{DD}) 与VCO和电荷泵电源相比具有较宽松的电源要求, 因为PLL (AV_{DD})的RF部分通常是具有稳定带隙参考偏置电压的双极性ECL逻辑级, 所以相对不受电源影响。另外, 数字CMOS模块 (DV_{DD})本质上对电源噪声具有更强的抵抗力。因此, 建议选择能够满足此电轨电压和电流要求的中等性能LDO, 并在所有电源引脚附近充分去耦; 通常100 nF和10 pF并联就够了。

结束语

以上已讨论主要PLL模块的电源管理要求, 并针对VCO和电荷泵电源推算出规格。ADI公司为电源管理和PLL IC提供多种设计支持工具, 包括参考电路和解决方案, 还有各种仿真工具, 如ADIsimPLL和ADIsimPower。了解电源噪声和纹波对PLL性能的影响后, 设计人员可以回头推算电源管理模块的规格, 进而实现性能最佳的PLL设计。

参考文献

- ¹ Best, Roland E. *Phase Locked Loops: Design, Simulation, and Applications*. 6th edition. 2007. McGraw-Hill. ISBN 9780071493758.
- ² Colin, Dennis. *Externally Induced VCO Phase Noise*. Micronetics, Inc. Reprint: *Microwave Journal*. Feb 2002.
- ³ <http://www.radio-electronics.com/analysis/rf-technology-design/2010-11/integrated-plls-vcos-02.php>.
- ⁴ Circuit Note CN-0147, *Powering a Fractional-N Voltage-Controlled Oscillator (VCO) with Low Noise LDO Regulators for Reduced Phase Noise*. Analog Devices. 2010.
- ⁵ Circuit Note CN-0174, *Low Noise, 12 GHz, Microwave Fractional-N Phase-Locked Loop (PLL) Using an Active Loop Filter and RF Prescaler*. Analog Devices. 2010.
- ⁶ Harney, Austin. "Designing High-Performance Phase-Locked Loops with High-Voltage VCO." *Analog Dialogue*, 43-12. 2009.

作者简介

Austin Harney[austin.harney@analog.com]于1999年毕业于爱尔兰都柏林大学, 获得工程学士学位, 2006年获得利默里克大学工商管理硕士学位。12年来他在ADI公司从事各种RF相关工作, 目前是ADI公司PLL和VCO产品系列的应用工程师。



Grzegorz Wawrzola[grzegorz.wawrzola@analog.com]于2006年毕业于波兰弗罗茨瓦夫理工大学, 获得电子通信硕士学位。他在ADI公司RF部担任PLL和VCO设计评估工程师五年后, 于2011年8月调至RF应用部。

